

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10242264 A

(43) Date of publication of application: 11 . 09 . 98

(51) Int. Cl

H01L 21/76  
H01L 29/78

(21) Application number: 09040235

(71) Applicant: SHARP CORP

(22) Date of filing: 25 . 02 . 97

(72) Inventor: KAWAMURA AKIO

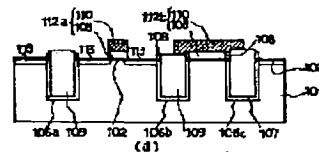
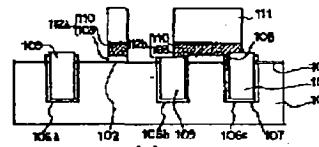
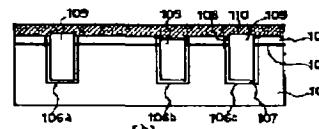
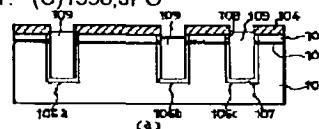
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To relieve the electric field at the corner part of a trench element isolating region.

SOLUTION: A gate insulating film 102, a polysilicon film 103, and a silicon nitride film 104 are sequentially formed on a silicon substrate 101. The silicon nitride film 104, the polysilicon film 103, and the gate insulating film 102 are etched selectively to expose the surface of the silicon substrate continuously, and the above semiconductor substrate is etched to form grooves 106a, b, and c in the semiconductor substrate, and then the flank and bottom of each groove and the sidewall of the polysilicon film 103 in the groove opening are oxidized. After depositing of silicon oxide films 107, 108, and 109 all over the surface, the silicon oxide film 109 is etched back, with the silicon nitride film as an etching stopper, and the insulating film 109 is buried in the groove. Next, after removal of the silicon nitride film 104, the conductive film and the above conductive film 103 are selectively removed, and a gate electrode 112 is formed.





(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-242264

(43)公開日 平成10年(1998)9月11日

(51)Int.Cl.<sup>6</sup>H 0 1 L 21/76  
29/78

識別記号

F I

H 0 1 L 21/76  
29/78L  
3 0 1 R

審査請求 未請求 請求項の数1 O.L (全 9 頁)

(21)出願番号 特願平9-40235

(71)出願人 000005049

(22)出願日 平成9年(1997)2月25日

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 川村 昭男

大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

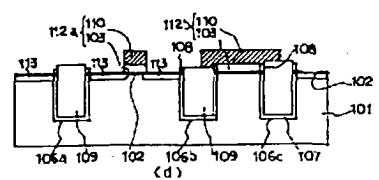
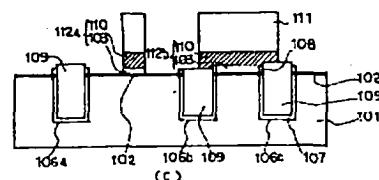
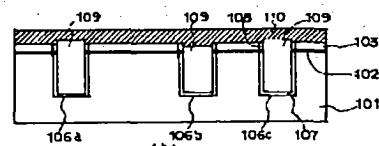
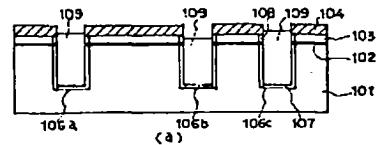
(74)代理人 弁理士 梅田 勝

## (54)【発明の名称】 半導体装置の製造方法

## (57)【要約】 (修正有)

【課題】 トレンチ素子分離領域のコーナー部での電界緩和の目的が達成されない恐れがある。

【解決手段】 シリコン基板101上にゲート絶縁膜102、ポリシリコン薄膜103及びシリコン窒化膜104を順次形成する。選択的にシリコン窒化膜、ポリシリコン薄膜及びゲート絶縁膜をエッチングしてシリコン基板表面を露出させ続けて、上記半導体基板をエッチングして、該半導体基板に溝106a, b, cを形成した後、溝部の側面部及び底面部並びに溝開口部のポリシリコン薄膜103側壁を酸化する。全面にシリコン酸化膜107, 108, 109を堆積した後、シリコン窒化膜104をエッチングストッパーとしてシリコン酸化膜109をエッチングバックし、溝部内に絶縁膜109を埋設する。次に、シリコン窒化膜104を除去した後、導電性薄膜110を堆積し、導電性薄膜及び上記シリコン薄膜103を選択的に除去して、ゲート電極112を形成する。



## 【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜、シリコン薄膜及びシリコン窒化膜を順次形成する工程と、所定の形状のマスクパターンを用いて、素子が形成される領域を除いて選択的に上記シリコン窒化膜、シリコン薄膜及びゲート絶縁膜をエッチングして上記半導体基板表面を露出させる工程と、上記マスクパターンを用いて上記半導体基板をエッチングして、該半導体基板に溝を形成する工程と、上記溝部の側面部及び底面部並びに該溝開口部の上記シリコン薄膜側壁を酸化する工程と、上記溝を埋め込むように全面に絶縁膜を堆積した後、上記シリコン窒化膜をエッチングストッパーとして上記絶縁膜をエッチングし、上記溝部内に絶縁膜を埋設する工程と、上記シリコン窒化膜を除去した後、導電性薄膜を堆積する工程と、上記導電性薄膜及び上記シリコン薄膜を選択的に除去して、ゲート電極を形成する工程とを有することを特徴とする、半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関するもので、さらに詳しくは素子分離領域形成方法に関するものである。

## 【0002】

【従来の技術】 集積回路素子の高集積化に伴い、素子の微細化と共に素子分離領域の微細化の進んできた。従来、素子分離技術として一般的に、LOCOS法が広く用いられているが、周知のようにバーズピークと呼ばれる酸化膜の食い込みが生じ、分離領域が拡大する、あるいは狭い分離領域では十分な膜厚の分離用酸化膜が形成されない等の課題があり、サブミクロン域の素子分離に適用するには困難な技術となってきた。

【0003】 これに対し、シリコン基板表面に溝を形成し、これに絶縁膜を埋め込んで素子分離領域とするトレンチ分離技術が微細化の進む集積回路の素子分離技術として検討及び適用が進んでいる。

【0004】 このトレンチ素子分離の形成方法の第1の従来技術を、図4乃至図6を用いて説明する。

【0005】 まず、図4(a)に示すように、シリコン基板201の表面に熱酸化法でパッド酸化膜202を10~30nm程度形成する。続いてシリコン窒化膜203を100~200nm程度、減圧CVD法で堆積する。

【0006】 次に、図4(b)に示すように、素子分離領域に開口を有するレジストパターン204をフォトリソグラフィ工程により形成した後、これをエッチングマスクとして、シリコン窒化膜203、パッド酸化膜202を順次異方性エッチングし、引き続きシリコン基板2

01を異方性エッチングして溝205a、205b、205cを形成する。溝の深さは、0.3~0.6μm程度であり、溝の幅は最小で0.2μmである。

【0007】 次に、図4(c)に示すように、レジストパターン204を除去した後、熱酸化雰囲気にて溝205a、205b、205cの底面及び側面を薄く酸化して、10~40nmのシリコン酸化膜206を形成する。このとき、シリコン基板201の表面はシリコン窒化膜203で覆われているので酸化されず、溝205a、205b、205cの内部にのみシリコン酸化膜206が選択的に形成される。

【0008】 次に、図5(a)に示すように化学的気相成長法(CVD法)により、シリコン酸化膜207を薄く堆積する。ここで、シリコン酸化膜207の膜厚は広い素子分離領域(図示せず)の溝を完全に埋め込むため、溝205a、205b、205cの深さより厚いことが望ましく、本従来技術例では800nmとした。

【0009】 次に、図5(b)に示すように、シリコン窒化膜203をエッチングストッパーとして、シリコン酸化膜207をケミカルメカニカルポリッシング(CMP)法若しくはリアクティブイオンエッチング(RIE)法によりシリコン窒化膜203が露出するまでエッチバックする。このとき、シリコン基板201面内において、シリコン酸化膜207の堆積膜厚あるいはシリコン酸化膜207のエッチバック量にバラツキがあるため、シリコン酸化膜207が溝内に比較的厚く残る溝205a、205cと溝内部のシリコン酸化膜207が溝内に比較的薄く残る溝205bの両者が存在する。

【0010】 次に、図5(c)に示すように、シリコン窒化膜203を熱リン酸溶液で除去した後、フッ酸溶液にてパッド酸化膜202を除去して、素子形成領域のシリコン基板201の表面を露出する。このとき、溝205a、205cでは埋め込んだシリコン酸化膜207がシリコン基板201の表面より突出して残るが、溝205bではシリコン基板201表面より窪んだ形状で残る。さらに溝205bの上部でシリコン基板のコーナー部208が露出する。

【0011】 次に、図6(a)に示すように、素子形成領域で露出したシリコン基板201表面を熱酸化法により酸化して、ゲート酸化膜209を形成した後、多結晶シリコン膜或いは多結晶シリコン膜とタンクステンシリサイド膜の積層膜よりなるゲート電極用導電性膜210を堆積する。このとき、溝205bの上部ではシリコン基板201のコーナー部208を被覆してゲート酸化膜209及びゲート電極用導電性膜210が堆積される。

【0012】 次に、図6(b)に示すように、レジストパターン211をフォトリソグラフィ工程により形成し、これをエッチングマスクとして選択的に、ゲート電極用導電性膜210をエッチングして、ゲート電極210a、210bを形成する。

【0013】次に、図6-(c)に示すように、レジストパターン211を除去した後、ゲート電極210a、210bをマスクとして自己整合的にイオン注入して、ソース／ドレイン領域212を形成し、MOSトランジスタが形成される。

【0014】上述の従来技術では、図5(c)の工程において、溝205bを埋め込むシリコン酸化膜207の上面がシリコン基板201の表面より窪み、シリコン基板201のコーナー部208が露出してしまう。このため、図6(c)の工程においてMOSトランジスタ形成時には、この露出したコーナー部208を被覆してゲート絶縁膜208及びゲート電極210a、210bが形成されることになる。この結果、トランジスタの動作時には、以下の特性上の問題が生じてしまう。

【0015】即ち、MOSトランジスタでは、ゲート電極210a、210bに電位(NMOSでは正の電位、PMOSでは負の電位)を与えてゲート電極210a、210bした下のチャネルと呼ばれるシリコン基板201表面の極性を反転させてトランジスタの導通を得るが、コーナー部208では上面及び側面のゲート電極210bからの電界が集中するため、チャネル中央部より低いゲート電圧にて極性反転が生じ、図3の特性図に示すように、一般的にキンクと呼ばれる現象が発生する。

【0016】本現象が発生した場合、図3により明らかのように、トランジスタのオフ時(ゲート電位がゼロ)のリーク電流が増大してしまうという重大な問題が生じる。

【0017】この問題に対して、特開平5-251552号公報では、以下のような手法が採られている。以下、第2の従来技術として、図7乃至図9を用いてこの手法を説明する。

【0018】まず、図7(a)に示すように、シリコン基板401の表面にゲート酸化膜402を4~10nmの膜厚で熱酸化法により形成する。続いて、将来ゲート電極の一部を構成するポリシリコン薄膜403を50~300nm堆積する。

【0019】次に、図7(b)に示すように、素子分離領域に開口を有するレジストパターン404をフォトリソグラフィ工程により形成した後、これをエッチングマスクとして、ポリシリコン薄膜403、ゲート酸化膜402を順次異方性エッチングし、引き続きシリコン基板401を異方性エッチングして溝405a、405b、405cを形成する。溝の深さは、0.3~0.6μm程度であり、溝の幅は最小で0.2μmである。

【0020】次に、図7(c)に示すように、レジストパターン404を除去した後、CVD法にて20~50nmのシリコン酸化膜406を堆積した後、溝405を埋め込む厚いシリコン酸化膜407を堆積する。ここで、シリコン酸化膜407の膜厚は広い素子分離領域(図示せず)の溝を完全に埋め込むため、溝405a、

405b、405cの深さより厚いことが望ましく、本従来技術例では800nmとした。

【0021】次に、図8(b)に示すように、ポリシリコン薄膜403をエッティングストップとして、シリコン酸化膜407、406をCMP法若しくはRIE法によりポリシリコン薄膜403が露出するまでエッチバックする。このとき、シリコン基板401面内において、シリコン酸化膜407の堆積膜厚あるいはシリコン酸化膜407のエッチバック量にバラツキがあるため、シリコン酸化膜407が溝内に比較的厚く残る溝405a、405cと溝内部のシリコン酸化膜407が溝内に比較的薄く残る溝405bの両者が存在する。

【0022】次に、図8(c)に示すように、CVD法によりシリコン酸化膜408を20~100nm程度堆積する。その後、図8(c)に示すように、RIE法により、シリコン酸化膜408をポリシリコン薄膜403が露出するまでエッチバックする。この結果、素子分離用溝405のポリシリコン薄膜403の側壁にサイドウォールとしてシリコン酸化膜408が残存する。

【0023】次に、図9(a)に示すように、ポリシリコン膜或いはポリシリコン膜とタングステンシリサイド膜の積層膜よりなるゲート電極用導電性膜409を堆積する。

【0024】次に、図9(b)に示すように、レジストパターン410をフォトリソグラフィ工程により形成し、これをエッチングマスクとして選択的に、ゲート電極用導電性膜409及びポリシリコン薄膜403をゲート絶縁膜402が露出するまでエッチングして、ゲート電極411a、411bを形成する。

【0025】次に、図9(c)に示すように、レジストパターン410を除去した後、ゲート電極411a、411bをマスクとして自己整合的にイオン注入して、ソース／ドレイン領域412を形成し、MOSトランジスタが形成される。

【0026】上記第2の従来技術では、シリコン酸化膜408によるサイドウォールを介してゲート電極411bの一部である導電性薄膜409が半導体基板の溝周辺のコーナー部413を被覆するため、コーナー413にかかるゲート電界を緩和して図3に示したトランジスタ特性のキンク現象発生の問題を回避している。

### 【0027】

【発明が解決しようとする課題】しかしながら、上述の第2の従来の製造方法では、ゲート電極411の一部を構成するポリシリコン薄膜403の膜厚が、サイドウォールとして用いるシリコン酸化膜408の堆積膜厚のバラツキ及びエッチバック量のバラツキよりも十分に厚い場合は問題ないが、薄い場合には、シリコン酸化膜408のエッチバック後にサイドウォールがポリシリコン薄膜403を被覆せずコーナー部413での電界緩和の目的が達成されない恐れがある。このプロセスを実施する

以上、エッチバックにおいては、ゲート電極となるポリシリコン薄膜403上に酸化膜が残っては困るので十分にオーバーエッチしなくてはならず、この結果として、ポリシリコン薄膜403自体がエッティングされると共に、酸化膜のサイドウォール自体が膜減りを起こす。逆に、ポリシリコン薄膜403を厚くした場合、トランジスタ形成後のコンタクト或いはメタル配線等の加工時に下地段差が増大してフォトリソグラフィ及びエッティング工程が困難になる。

【0028】また、ゲート電極411の一部であるポリシリコン薄膜403は、シリコン酸化膜407、406のエッチバック時及びシリコン酸化膜408のエッチバック時の2回エッティングストップとして働くため、このエッチバックでのポリシリコンに対する選択比率が低い(<1.0)場合には、ポリシリコンの膜減り量が増大し、トランジスタのゲート電極の機能を果たすことが困難となる。

【0029】更に、これらのエッチバック時には素子分離領域毎に既にポリシリコン薄膜403は分割された状態でエッティング時のイオン照射を受けるため、薄いゲート絶縁膜402をもつ半導体素子では、チャージアップによるゲート絶縁膜破壊がおこるという問題が生じる。

#### 【0030】

【課題を解決するための手段】請求項1記載の本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜、シリコン薄膜及びシリコン窒化膜を順次形成する工程と、所定の形状のマスクパターンを用いて、素子が形成される領域を除いて選択的に上記シリコン窒化膜、シリコン薄膜及びゲート絶縁膜をエッティングして上記半導体基板表面を露出させる工程と、上記マスクパターンを用いて上記半導体基板をエッティングして、該半導体基板に溝を形成する工程と、上記溝部の側面部及び底面部並びに該溝開口部の上記シリコン薄膜側壁を酸化する工程と、上記溝を埋め込むように全面に絶縁膜を堆積した後、上記シリコン窒化膜をエッティングストップとして上記絶縁膜をエッティングし、上記溝部内に絶縁膜を埋設する工程と、上記シリコン窒化膜を除去した後、導電性薄膜を堆積する工程と、上記導電性薄膜及び上記シリコン薄膜を選択的に除去して、ゲート電極を形成する工程とを有することを特徴とする。

#### 【0031】

【実施の形態】以下、一実施の形態に基づいて本発明について詳細に説明する。

【0032】図1及び図2は本発明の一実施の形態の半導体装置の製造工程を示す図である。

【0033】以下、図1及び図2を用いて本発明の一実施の形態の半導体装置の製造工程を説明する。

【0034】まず、図1(a)に示すように、シリコン基板101の表面に熱酸化法でゲート酸化膜102を4~10nm程度形成する。続いて将来ゲート電極の一部

を構成するポリシリコン薄膜103を50~300nm堆積し、引き続きシリコン窒化膜104を100~200nm程度、減圧CVD法で堆積する。ここで、ポリシリコン薄膜の代わりにアモルファスシリコン薄膜を用いてもよい。また、ポリシリコン薄膜103に砒素或いは燐或いはホウ素等のドーピング不純物を目的に応じてこの工程で導入してもよいし、後の適切な工程で導入してもよい。

【0035】次に、図1(b)に示すように、素子分離領域に開口を有するレジストパターン105をフォトリソグラフィ工程により形成した後、これをエッティングマスクとして、シリコン窒化膜104、ポリシリコン薄膜103、ゲート酸化膜102を順次異方性エッティングし、引き続きシリコン基板101を異方性エッティングして溝106a、106b、106cを形成する。溝の深さは、0.3~0.6μm程度であり、溝の幅は最小で0.2μmである。

【0036】次に、図1(c)に示すように、レジストパターン105を除去した後、熱酸化雰囲気にて溝106a、106b、106cの底面及び側面を薄く酸化して、10~40nmのシリコン酸化膜107を形成する。このとき、シリコン基板101の表面はシリコン窒化膜104で覆われているので酸化されず、溝106a、106b、106cの内部にのみシリコン酸化膜107が選択的に形成される。この際、開口部において、ポリシリコン薄膜103の側壁にシリコン酸化膜108が形成される。

【0037】次に、図1(d)に示すようにCVD法により、シリコン酸化膜109を厚く堆積する。ここで、シリコン酸化膜109の膜厚は広い素子分離領域(図示せず)の溝を完全に埋め込むため、溝106a、106b、106cの深さより厚いことが望ましく、本実施の形態では800nmとした。

【0038】次に、図2(a)に示すように、シリコン窒化膜104をエッティングストップとして、シリコン酸化膜109をCMP法若しくはRIE法によりシリコン窒化膜104が露出するまでエッチバックする。このとき、シリコン基板101面内において、シリコン酸化膜109の堆積膜厚あるいはシリコン酸化膜109のエッチバック量にバラツキがあるため、シリコン酸化膜109が溝内に比較的厚く残る溝106a、106cと溝内部のシリコン酸化膜109が溝内に比較的薄く残る溝106bの両者が存在する。

【0039】但し、本実施の形態において、シリコン基板101上にポリシリコン薄膜103及びシリコン窒化膜104を堆積した積層構造でシリコン酸化膜109のエッティングストップとして用いているためバラツキより残膜が薄く残る溝106bにおいても、シリコン酸化膜109の表面は少なくともシリコン基板101の表面より上に確保することが容易になる。

【0040】更に、このエッチバック時にポリシリコン薄膜103の表面はシリコン窒化膜104で覆われているので、エッティング時のイオン照射によって、ポリシリコン薄膜103がチャージアップしてゲート絶縁膜102の絶縁破壊が起こることを防止できる。

【0041】次に、図2(b)に示すように、シリコン窒化膜104を熱リン酸溶液で除去して、素子形成領域のポリシリコン薄膜103の表面を露出する。このとき、溝106a、106cでは埋め込んだシリコン酸化膜109がポリシリコン薄膜103の表面より突出して残るが、溝106bではポリシリコン薄膜103表面より窪んだ形状で残る。但し、溝106bにおいても、シリコン酸化膜109の表面はシリコン基板101の表面より上部に保たれている。

【0042】その後、ポリシリコン膜或いはポリシリコン膜とタンクステンシリサイド膜の積層膜等よりなるゲート電極用導電性膜110を100~200nm程度堆積する。尚、本発明において、ゲート電極用導電性膜の材料は本実施の形態に限定されるものではない。

【0043】次に、図2(c)に示すように、レジストパターン111をフォトリソグラフィ工程により形成し、これをエッティングマスクとして選択的に、導電性膜110及びポリシリコン薄膜103をエッティングして、ゲート電極112a、112bを形成する。

【0044】次に、図2(d)に示すように、レジストパターン111を除去した後、ゲート電極112a、112bをマスクとして自己整合的にイオン注入して、ソース/ドレイン領域113形成し、MOSトランジスタが形成される。

#### 【0045】

【発明の効果】以上、詳細に説明したように、本発明を用い、ポリシリコン膜及びシリコン窒化膜よりなる積層膜を、溝に埋め込むシリコン酸化膜のエッティングストップとして用いるため、以下のような効果を奏する。

【0046】まず、第1にシリコン酸化膜の膜厚バラツキ及びシリコン酸化膜のエッチバック量のバラツキは必然的に生じるが、溝内に残るシリコン酸化膜が少ない溝においてもシリコン酸化膜の表面をシリコン基板の表面よりも上部に確保できる。また、仮に上述のバラツキが所定のねらいよりも大きい場合でも、エッティングストップとして働くシリコン窒化膜の堆積膜厚のみを増加させることで当初の目的を達成することが可能となり、トランジスタ特性に影響を及ぼすポリシリコン薄膜の膜厚を変更する必要はない。

【0047】第2に、シリコン酸化膜のエッチバックをRIEで行った場合、ゲート電極として働くポリシリコン薄膜の表面は絶縁膜であるシリコン窒化膜で覆われているため、エッティング中のイオン照射によりゲート電極がチャージアップしてゲート絶縁膜が破壊することを防止する。

【0048】また、溝形成後に酸化雰囲気にてポリシリコン薄膜のバーニング側面を酸化してシリコン酸化膜を形成することで、以下の効果が得られた。

【0049】即ち、溝のコーナー部ではシリコン酸化膜が確実に覆っているので、ゲート電極を構成するポリシリコン薄膜若しくは導電性薄膜は少なくともこれらのシリコン酸化膜を介してコーナーを被覆する構造が得られる。従来技術ではゲート電極が薄いゲート酸化膜のみを介して溝のコーナーを被覆していたため、コーナーでのゲート電界集中により、図3に示すようなトランジスタのキンク現象という問題が生じたが、本発明では、ゲート電界集中が回避され良好なトランジスタ特性が得られた。

【0050】以上のように、本発明を用いることにより、トランジスタ特性の改善、特にオフ時のリーク電流の減少が達成され、また、工程途中でのゲート絶縁膜のチャージアップ破壊が防止される等の効果により、半導体装置の歩留まり及び信頼性の向上に大きく寄与することができる。

#### 【図面の簡単な説明】

【図1】本発明の一の実施の形態の半導体装置の前半の製造工程図である。

【図2】本発明の一の実施の形態の半導体装置の前半の製造工程図である。

【図3】本発明及び従来技術によるトランジスタの特性を示す図である。

【図4】第1の従来の半導体装置の第1製造工程図である。

【図5】第1の従来の半導体装置の第2製造工程図である。

【図6】第1の従来の半導体装置の第3製造工程図である。

【図7】第2の従来の半導体装置の第1製造工程図である。

【図8】第2の従来の半導体装置の第2製造工程図である。

【図9】第2の従来の半導体装置の第3製造工程図である。

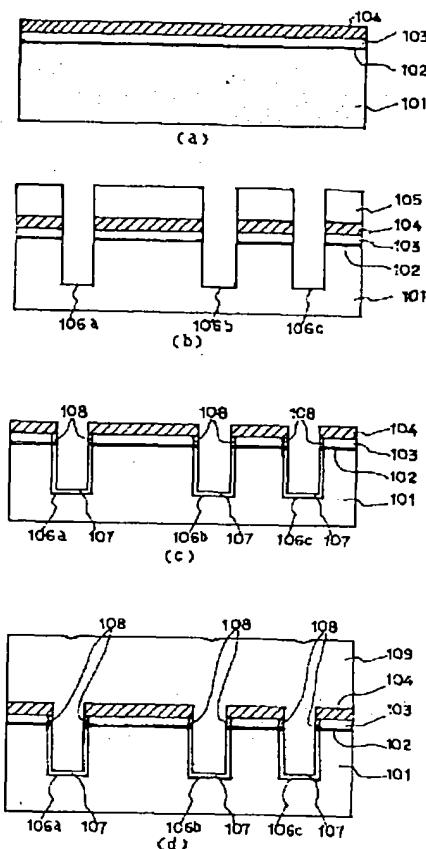
#### 【符号の説明】

- 101 シリコン基板
- 102 ゲート酸化膜
- 103 ポリシリコン薄膜
- 104 シリコン窒化膜
- 105 第1レジストパターン
- 106 溝
- 107 第1シリコン酸化膜
- 108 第2シリコン酸化膜
- 109 第3シリコン酸化膜
- 110 導電性薄膜
- 111 第2レジストパターン

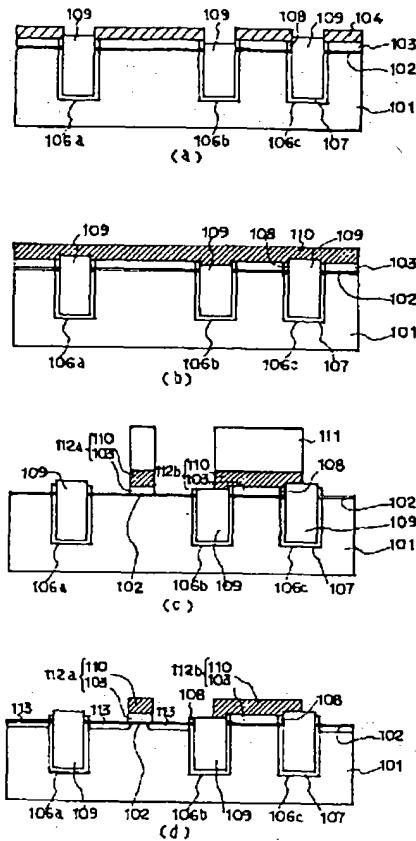
## 112 ゲート電極

## 113 ソース／ドレイン領域

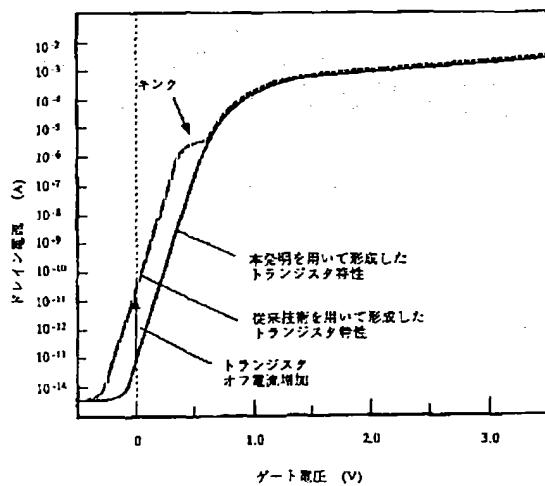
【図1】



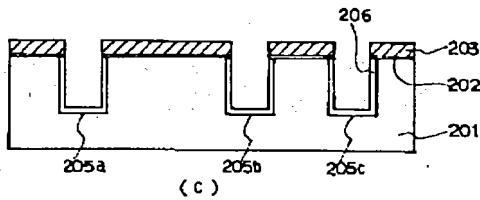
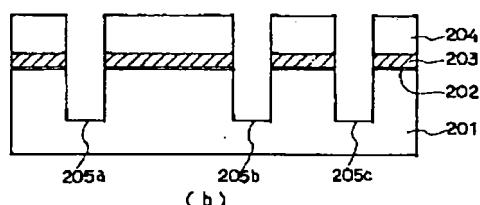
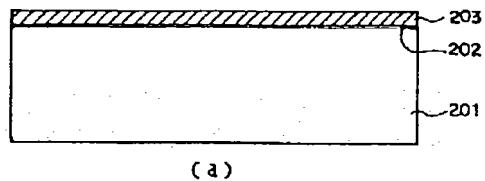
【図2】



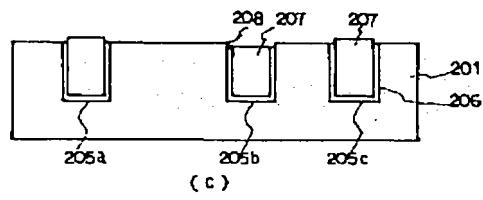
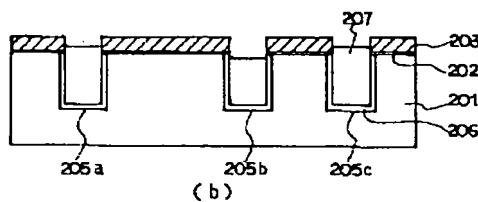
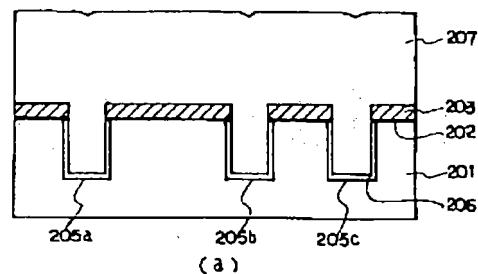
【図3】



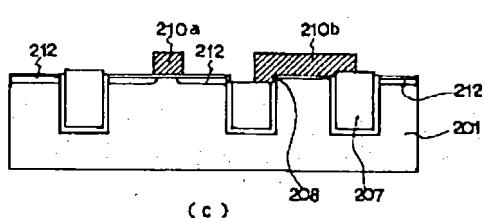
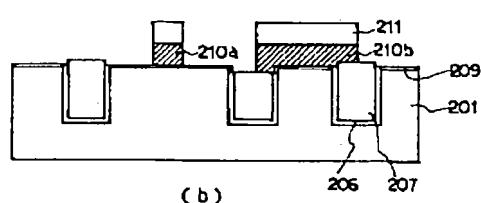
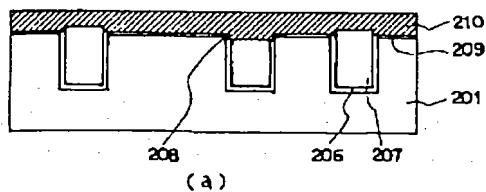
【図4】



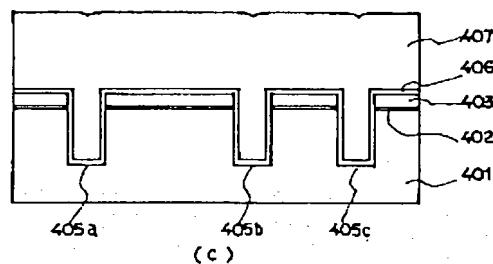
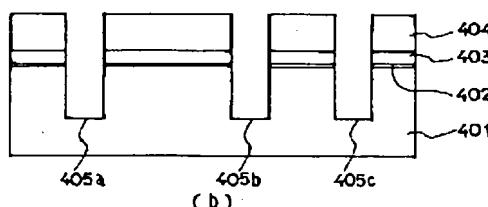
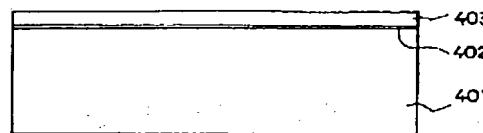
【図5】



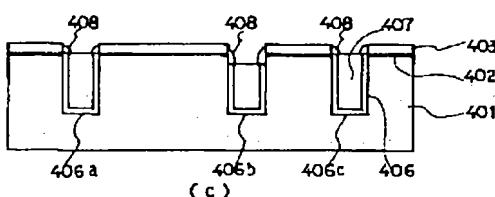
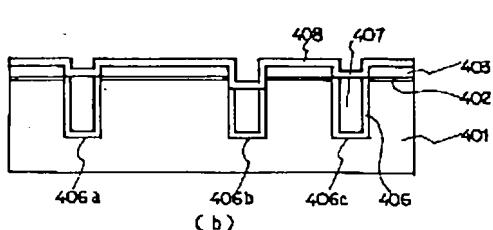
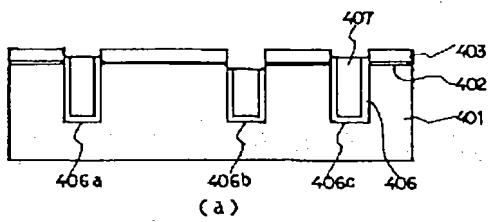
【図6】



【図7】



【図8】



【図9】

